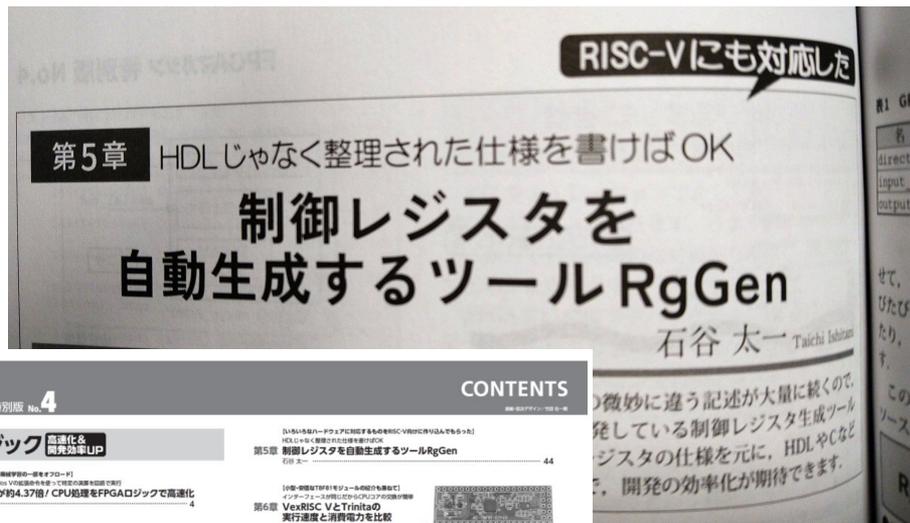


# RISC-VのCSRを自動生成する

第5回自作CPUを語る会  
R07.04.12 石谷太一

# まずは宣伝

- 第3回 自作CPUを語る会での発表が切っ掛けで、CQ出版デビューしました
  - 前回の資料  
[\(産業の\)米づくり環境ご紹介](#)
- FPGAマガジン特別版No.4に、RgGenの記事が載りました
- [https://fpga.tokyo/no4\\_al/](https://fpga.tokyo/no4_al/)



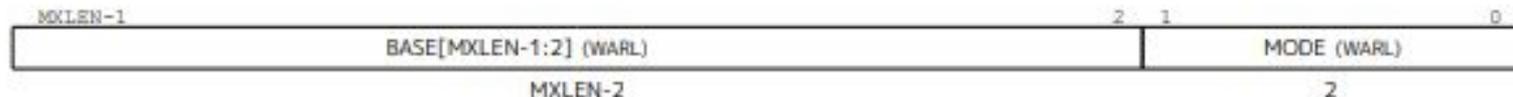
FPGAマガジン 特別版 No.4		CONTENTS	
<b>CPU×ロジック 高速化&amp;開発効率UP</b>			
第1章 AI推論の実行速度が約4.37倍！CPU処理をFPGAロジックで高速化	4	第5章 いろいろなハードウェアRISC-VにRISC-VHDL対応したHDLから制御された仕様を書けばOK 制御レジスタを自動生成するツールRgGen	44
第2章 マイコンで定番のIwIPをRISC-V CPUのIPコアで動かす	16	第6章 (中核)制御レジスタをリアルタイム生成するツール VexRISC VとTrinitaの 実行速度と消費電力を比較	56
第3章 CPU×ロジック設計の協賛デバッグ環境を構築	24	第7章 FPGAはCPUコアを高速処理用として、シフトレジスタで制御したい 制御レジスタを自動生成するツールRgGen	60
<b>まだまだある！ RISC-V関連</b>		<b>基礎解説</b>	
第4章 Linux上でCPUと周辺回路を組み込む	32	第8章 [FPGA設計講座1] リセット回路設計術	69
		<b>最新</b>	
		第9章 SystemVerilogベースの新ハードウェア記述言語 Veryl	74
		第10章 4K LUTの小型GOWINボード Kiwi Nano 4K	79

# 今日のお題目

- 拙作のCSR自動生成ツール[RqGen](#)を使って、RISC-VのCSRを自動生成するお話
  - 先述のFPGAマガジンで取り上げたネタ
  - RISC-V対応するにあたっての課題と解決策

# 自動生成する際の問題点と解決策 (CSRの仕様)

- [Volume 2, Privileged Specification](#) で一覧が定義されている
- アーキテクチャや実装している拡張機能の種類などによって、CSRの有無や、ビットフィールドの幅等が違っている
  - mtvecレジスタのbaseビットフィールドの幅は、レジスタ幅によって決まる
- 生成器への入力は、上記のような違いを扱える必要がある



## 自動生成する際の問題点と解決策(CSRの仕様)

- レジスタマップ上で、条件分岐や演算を行うことが出来れば、1つの入力ファイルを共有できる
- RgGenはRubyで書いたレジスタマップに対応しているので、これを採用
  - 以下の例はbaseビットフィールドの幅を、レジスタ幅(xlen)から計算している

```
bit_field {  
  name 'base'  
  bit_assignment lsb: 2, width: xlen - 2  
  type :rw  
  initial_value 0  
}
```

# 自動生成する際の問題点と解決策(CSRアクセス命令)

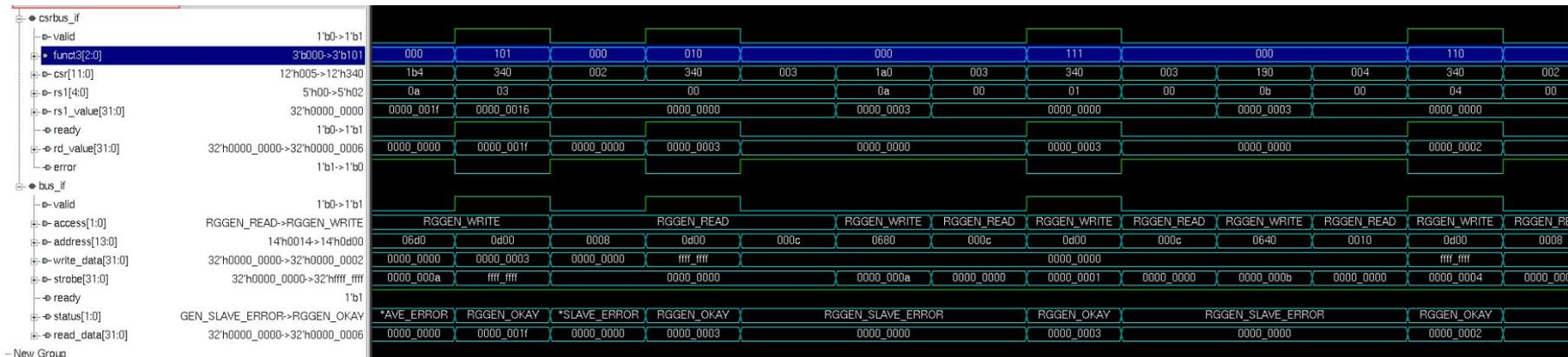
- CSRへのアクセス命令は[Zicsr拡張](#)で定義されている
  - CSRRW
    - レジスタ上のデータをCSRに書き込む
  - CSRRS
    - CSR上のビットのうち、レジスタで指定されたデータが1になっている個所を1に設定する
    - 0になっている個所はそのまま
  - CSRRC
    - CSR上のビットのうち、レジスタで指定されたデータが0になっている個所を0に設定する
    - 0になっている個所はそのまま
  - CSRRWI/CSRRSI/CSRRCI
    - 使用するデータが即値になっている命令
- CSRRS/CSRRCを実装する際の課題
  - 読み出しと書き込みで2回のアクセス必要で、既存のプロトコルでは効率よくアクセスできない
  - 書き込みマスクはバイト単位なため

# 自動生成する際の問題点と解決策 (CSRアクセス命令)

- RgGenが生成するCSRモジュールは、ビット単位の書き込みマスクに対応している
  - マスクに指定されたデータ、書き込みデータを全ビット1 / 0を指定することで、CSRRS/CSRRC命令を1回のアクセスで実装できる
- プラグインを作成し、対応する変換モジュールを組み込めるようにする

命令	書き込みデータ	マスク
CSRRW	rs1 で指定された値	全ビット1
CSRRWI	命令中の即値	全ビット1
CSRRS	全ビット1	rs1 で指定された値
CSRRSI	全ビット1	命令中の即値
CSRRC	全ビット0	rs1 で指定された値
CSRRCI	全ビット0	命令中の即値

# 自動生成する際の問題点と解決策 (CSRアクセス命令)



-- New Group

# まとめと今後の予定

- まとめ
  - RgGenを使って、RISC-VのCSRを生成できるようにした
    - 詳細はFPGAマガジン特別版 No.4を読んだください
    - ソースコードは[GitHub](#)で公開中
- 今後の予定
  - mtvecレジスタ以外のレジスタも生成できるようにする
  - 実装する拡張命令など、レジスタ幅以外の差分要因を扱えるようにする